

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-125931

(P2019-125931A)

(43) 公開日 令和1年7月25日(2019.7.25)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 1/10 (2006.01)	H03M 1/10 A	4C161
H03M 1/38 (2006.01)	H03M 1/38	5J022
A61B 1/045 (2006.01)	A61B 1/045 610	

審査請求 未請求 請求項の数 4 O L (全 20 頁)

(21) 出願番号 特願2018-5777 (P2018-5777)
(22) 出願日 平成30年1月17日 (2018.1.17)

(71) 出願人 000000376
オリンパス株式会社
東京都八王子市石川町2951番地
(74) 代理人 110002147
特許業務法人酒井国際特許事務所
(72) 発明者 平出 修三
東京都八王子市石川町2951番地 オリ
ンパス株式会社内
Fターム(参考) 4C161 SS07 SS11
5J022 AA02 AB04 BA03 BA04 CB03
CF01 CF02

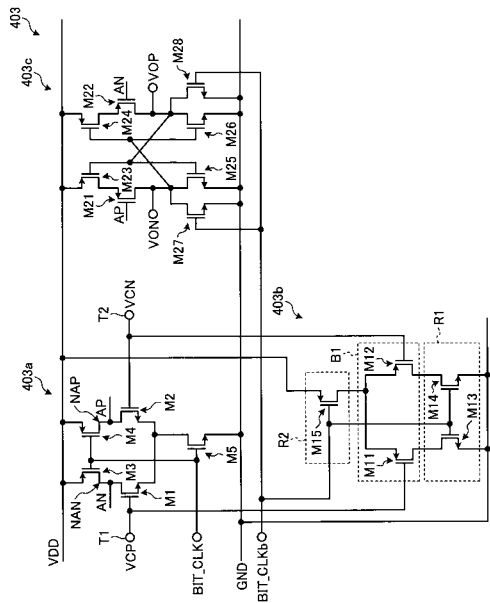
(54) 【発明の名称】 逐次比較型A/D変換装置、撮像装置および内視鏡

(57) 【要約】

【課題】出力信号の線形性が劣化することを防止することができる逐次比較型A/D変換装置、撮像装置および内視鏡を提供する。

【解決手段】逐次比較型A/D変換装置は、一对の電圧信号が入力される入力回路403aと、入力回路403aと並列に接続され、入力回路403aにおける入力容量の非線形を補償する補償回路403bと、入力回路403aにおける入力容量が保持する一对の電圧信号の一方の信号と他方の信号とを比較して出力する出力回路403cと、を有する比較回路403と、を備え、補償回路403bは、入力回路403aの入力容量の電圧依存と逆特性を有する。

【選択図】図5



【特許請求の範囲】**【請求項 1】**

差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、

前記サンプリング回路がサンプリングした前記一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量が保持する前記一対のアナログ信号に参照信号の信号レベルを反映させることによって一対の電圧信号を発生させ、該一対の電圧信号を交互に出力する容量回路と、

前記容量回路が交互に出力した前記一対の電圧信号の一方の信号と他方の信号とを比較し、該比較結果を出力する比較回路と、

前記比較回路が出力した前記比較結果に基づいて、前記バイナリ容量が保持する前記一対のアナログ信号に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定した判定結果を出力し、かつ、前記デジタル信号の各ビットの値を反映した前記参照信号を生成して前記容量回路へ出力する制御回路と、

を備え、

前記比較回路は、

前記容量回路から交互に出力された前記一対の電圧信号を増幅し、該増幅した前記一対の電圧信号を出力する入力回路と、

前記入力回路と並列に接続され、前記入力回路における入力容量の非線形性を補償する補償回路と、

前記補償回路によって非線形性が補償された前記入力容量が保持する前記一対の電圧信号の一方の信号と他方の信号とを比較し、該比較結果を出力する出力回路と、

を有し、

前記補償回路は、前記入力容量の電圧依存性と逆特性を有することを特徴とする逐次比較型 A / D 変換装置。

【請求項 2】

前記入力回路は、

前記一対の電圧信号が入力される入力トランジスタを有し、

前記補償回路は、

前記入力トランジスタのゲート容量特性と逆特性のバイアス電圧依存性を有し、前記入力トランジスタの入力容量の非線形性を補償する補償トランジスタと、

前記入力トランジスタの極性と逆特性のトランジスタを有するバイアス回路と、

を有し、

前記バイアス回路は、前記補償トランジスタに前記入力トランジスタと同量のバイアス電圧を印加することによって前記補償トランジスタの入力容量と前記入力回路の入力容量との合成容量を平坦とすることを特徴とする請求項 1 に記載の逐次比較型 A / D 変換装置。

【請求項 3】

請求項 1 に記載の逐次比較型 A / D 変換装置と、

外部から入力される光を受光して光電変換を行って撮像信号を前記逐次比較型 A / D 変換装置へ出力する撮像素子と、

を備えることを特徴とする撮像装置。

【請求項 4】

請求項 3 に記載の撮像装置と、

被検体に挿入可能であり、先端部に前記撮像装置を配置してなる挿入部と、

を備えることを特徴とする内視鏡。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、外部から入力されるアナログの信号をデジタルの信号に変換する逐次比較型

10

20

30

40

50

A / D 変換装置、撮像装置および内視鏡に関する。

【背景技術】

【0002】

消費電力の低い A / D 変換装置として、例えば非特許文献 1 に開示された差動入力非同期方式の逐次比較型 A / D 変換装置が知られている。この逐次比較型 A / D 変換装置は、差動入力信号として入力された一対のアナログ信号をサンプルホールド回路で保持し、保持したアナログ信号に容量回路を通じて基準信号を反映させることにより比較回路に比較電圧信号を発生させ、この比較電圧信号に基づいて、逐次比較論理回路が 2 分探索アルゴリズムに従って差動入力信号に対応するデジタル信号の MSB から LSB までの各ビットの値 (0 または 1) を決定すると共に、決定された各ビットの値を基準信号にフィードバックする。

【0003】

逐次比較型 A / D 変換装置は、オペアンプ等のアナログ回路を使用することなく、その大部分をデジタル回路で構成することができる。このため、微細 CMOS (Complementary Metal Oxide Semiconductor) プロセスを用いて逐次比較型 A / D 変換装置を小型に実現することができ、また消費電力を低減させることができる。このような低消費電力化および小型化を可能とする観点から、逐次比較型 A / D 変換装置は、例えば携帯機器などのシステム LSI (Large Scale Integration) に用いられている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】 “A 26uW 8bit 10MS/s Asynchronous SAR ADC for Low Energy Radios”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol46, No7 JULY 2011 pp1585-1595

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上述した逐次比較型 A / D 変換装置は、A / D 変換を実行する際に、ビット変換毎にコンパレータの入力電圧が変化することで、A / D 変換を実行中にコンパレータの入力容量も変動する。このため、上述した逐次比較型 A / D 変換装置は、コンパレータの入力端子に接続される容量が変化することによって、ゲイン係数が A / D 変換の最中に変動し、出力信号に誤差が生じることで、出力信号の線形性が劣化するという問題点があった。

【0006】

本発明は、上記に鑑みてなされたものであって、出力信号の線形性が劣化することを防止することができる逐次比較型 A / D 変換装置、撮像装置および内視鏡を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決し、目的を達成するために、本発明に係る逐次比較型 A / D 変換装置は、差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路がサンプリングした前記一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量が保持する前記一対のアナログ信号に参照信号の信号レベルを反映させることによって一対の電圧信号を発生させ、該一対の電圧信号を交互に出力する容量回路と、前記容量回路が交互に出力した前記一対の電圧信号の一方の信号と他方の信号とを比較し、該比較結果を出力する比較回路と、前記比較回路が出力した前記比較結果に基づいて、前記バイナリ容量が保持する前記一対のアナログ信号に対応するデジタル信号の各ビットの値を 2 分探索法により逐次的に判定した判定結果を出力し、かつ、前記デジタル信号の各ビットの値を反映した前記参照信号を生成して前記容量回路へ出力する制御回路と、を備え、前記比較回路は、前記容量回路から交互に出力された前

記一対の電圧信号を増幅し、該増幅した前記一対の電圧信号を出力する入力回路と、前記入力回路と並列に接続され、前記入力回路における入力容量の非線形性を補償する補償回路と、前記補償回路によって非線形性が補償された前記入力容量が保持する前記一対の電圧信号の一方の信号と他方の信号とを比較し、該比較結果を出力する出力回路と、を有し、前記補償回路は、前記入力容量の電圧依存と逆特性を有することを特徴とする。

【 0 0 0 8 】

また、本発明に係る逐次比較型 A / D 変換装置は、上記発明において、前記入力回路は、前記一対の電圧信号が入力される入力トランジスタを有し、前記補償回路は、前記入力トランジスタのゲート容量特性と逆特性のバイアス電圧依存性を有し、前記入力トランジスタの入力容量の非線形性を補償する補償トランジスタと、前記入力トランジスタの極性と逆特性のトランジスタを有するバイアス回路と、を有し、前記バイアス回路は、前記補償トランジスタに前記入力トランジスタと同量のバイアス電圧を印加することによって前記補償トランジスタの入力容量と前記入力回路の入力容量との合成容量を平坦とすることを特徴とする。

10

【 0 0 0 9 】

また、本発明に係る内視鏡は、上記の撮像装置と、被検体に挿入可能であり、先端部に前記撮像装置を配置してなる挿入部と、を備える。

【発明の効果】

【 0 0 1 0 】

本発明によれば、出力信号の線形成が劣化することを防止することができるという効果を奏する。

20

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】図 1 は、本発明の一実施の形態に係る内視鏡システムの全体構成を模式的に示す概略図である。

【図 2】図 2 は、本発明の一実施の形態に係る内視鏡システムの要部の機能を示すブロック図である。

【図 3】図 3 は、図 2 に示す撮像素子の詳細な構成を示すブロック図である。

【図 4】図 4 は、本発明の一実施の形態に係る逐次比較型 A / D 変換装置の構成を模式的に説明する回路図である。

30

【図 5】図 5 は、本発明の一実施の形態に係る比較回路の構成を模式的に示す回路図である。

【図 6】図 6 は、本発明の一実施の形態にかかる入力回路のゲート容量と補償回路のゲート容量との電圧依存特性の関係を示す図である。

【図 7】図 7 は、従来の逐次比較型の A / D 変換装置が出力する出力信号の I N L (Integral Non-Linearity: 積分非直線性誤差) 特性を示す図である。

【図 8】図 8 は、本発明の一実施の形態に係る逐次比較型 A / D 変換装置が出力する出力信号の I N L 特性を示す図である。

【発明を実施するための形態】

【 0 0 1 2 】

40

以下、本発明を実施するための形態（以下、「実施の形態」という）として、被検体内に挿入される挿入部の先端部に撮像装置を有する内視鏡を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間において、互いの寸法や比率が異なる部分が含まれている。

【 0 0 1 3 】

〔内視鏡システムの構成〕

図 1 は、本発明の一実施の形態に係る内視鏡システムの全体構成を模式的に示す概略図

50

である。図 1 に示す内視鏡システム 1 は、内視鏡 2 と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6 と、表示装置 7 と、光源装置 8 と、を備える。

【0014】

内視鏡 2 は、伝送ケーブル 3 の一部である挿入部 100 を被検体の体腔内に挿入することによって被検体の体内を撮像して撮像信号をプロセッサ 6 へ出力する。また、内視鏡 2 は、伝送ケーブル 3 の一端側であり、被検体の体腔内に挿入される挿入部 100 の先端部 101 側に、被検体の体内を撮像して撮像信号を生成する撮像装置 20 が設けられている。さらに、内視鏡 2 は、挿入部 100 の基端部 102 側に、内視鏡 2 に対する各種操作を受け付ける操作部 4 が設けられている。撮像装置 20 が撮像した体内画像の撮像信号は、例えば数 m の長さを有する伝送ケーブル 3 を経由してコネクタ部 5 に出力される。

10

【0015】

伝送ケーブル 3 は、内視鏡 2 とコネクタ部 5 とを接続するとともに、内視鏡 2 とプロセッサ 6 および光源装置 8 とを接続する。また、伝送ケーブル 3 は、撮像装置 20 が生成した撮像信号をコネクタ部 5 へ伝送する。伝送ケーブル 3 は、ケーブルや光ファイバ等を用いて構成される。

【0016】

コネクタ部 5 は、内視鏡 2、プロセッサ 6 および光源装置 8 に接続され、接続された内視鏡 2 が出力する撮像信号に所定の信号処理を施してプロセッサ 6 へ出力する。

【0017】

プロセッサ 6 は、コネクタ部 5 から入力された撮像信号に所定の画像処理を施して表示装置 7 へ出力する。また、プロセッサ 6 は、内視鏡システム 1 全体を統括的に制御する。例えば、プロセッサ 6 は、光源装置 8 が出射する照明光を切り替えたり、内視鏡 2 の撮像モードを切り替え制御する。

20

【0018】

表示装置 7 は、プロセッサ 6 が画像処理を施した撮像信号に対応する画像を表示する。また、表示装置 7 は、内視鏡システム 1 に関する各種情報を表示する。表示装置 7 は、液晶や有機 EL (Electro Luminescence) 等の表示パネル等を用いて構成される。

【0019】

光源装置 8 は、コネクタ部 5 および伝送ケーブル 3 を経由して内視鏡 2 の挿入部 100 の先端部 101 側から被検体 (被写体) に向けて照明光を照射する。光源装置 8 は、白色光を発する白色 LED (Light Emitting Diode) 等を用いて構成される。なお、本実施の形態では、光源装置 8 に同時方式の照明方式が採用されるが、面順次方式の照明方式であってもよい。

30

【0020】

〔内視鏡システムの要部〕

次に、内視鏡システム 1 の要部の機能について説明する。図 2 は、内視鏡システム 1 の要部の機能を示すブロック図である。

【0021】

〔内視鏡の構成〕

まず、内視鏡 2 の構成について説明する。

40

図 2 に示す内視鏡 2 は、撮像装置 20 と、伝送ケーブル 3 と、コネクタ部 5 と、を備える。

【0022】

撮像装置 20 は、撮像素子 21 (撮像チップ) と、撮像素子 21 に被写体像を結像する光学系 22 と、を備える。

【0023】

撮像素子 21 は、受光部 23 と、読み出し部 24 と、バッファ部 25 と、基準信号生成部 26 と、逐次比較型 A/D 変換装置 27 と、タイミング生成部 28 と、ヒステリシス部 29 と、を有する。また、撮像素子 21 は、伝送ケーブル 3 を経由して後述するプロセッサ 6 の電源部 61 において生成された電源電圧 VDD (例えば 3.3V) をグランド GN

50

Dとともに受け取る。撮像素子21に供給される電源電圧VDDとグランドGNDとの間には、電源安定用のコンデンサC1が設けられている。

【0024】

受光部23は、行列方向に二次元マトリクス状に配置されてなり、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素を有する。受光部23は、光電変換素子（フォトダイオード）、浮遊拡散容量（FD）、転送トランジスタ、画素リセットトランジスタおよび画素ソースフォロワトランジスタ等を用いて構成される。

【0025】

読み出し部24は、受光部23によって光電変換された撮像信号を列毎に順次読み出してバッファ部25へ出力する。読み出し部24は、水平走査回路および垂直走査回路を用いて構成される。

10

【0026】

バッファ部25は、読み出し部24が順次読み出した撮像信号の電圧をインピーダンス変換してボルテージフォロワにより1倍に増幅して逐次比較型A/D変換装置27へ出力する。バッファ部25は、ボルテージフォロワ回路等を用いて構成される。

【0027】

基準信号生成部26は、受光部23によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して逐次比較型A/D変換装置27へ出力する。

【0028】

20

逐次比較型A/D変換装置27は、バッファ部25から出力された撮像信号および基準信号生成部26から生成された基準信号を同一タイミングでサンプリングし、デジタルの撮像信号に変換して外部へ出力する。

【0029】

タイミング生成部28は、基準クロック信号および同期信号に基づきタイミング信号を生成して読み出し部24へ出力する。タイミング生成部28は、タイミングジェネレータ等を用いて構成される。

【0030】

ヒステリシス部29は、伝送ケーブル3を経由してコネクタ部5から入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部28へ出力する。ヒステリシス部29は、ヒステリシス回路等を用いて構成される。

30

【0031】

光学系22は、複数のレンズおよびプリズムを用いて構成され、撮像素子21の受光部23に被写体像を結像する。

【0032】

コネクタ部5は、パルス生成部51と、信号処理部52と、電源電圧生成部53と、を有する。

【0033】

パルス生成部51は、プロセッサ6から供給された内視鏡2の各構成部の動作の基準となる基準クロック信号（例えば、27MHzのクロック信号）に基づいて、各フレームのスタート位置を表す同期信号（水平同期信号および垂直同期信号を含む）を生成して、基準クロック信号とともに、伝送ケーブル3を経由して撮像装置20のタイミング生成部28へ出力する。

40

【0034】

信号処理部52は、伝送ケーブル3を経由して撮像装置20から出力されたデジタルの撮像信号に対して所定の信号処理、例えばノイズ低減処理を行ってプロセッサ6へ出力する。信号処理部52は、FPGA（Field Programmable Gate Array）やASIC（Application Specific Integrated Circuit）等を用いて構成される。

【0035】

50

電源電圧生成部 53 は、プロセッサ 6 から供給される電源から、撮像素子 21 を駆動するのに必要な電源電圧を生成し、伝送ケーブル 3 を経由して撮像素子 21 へ出力する。電源電圧生成部 53 は、レギュレータ (Regulator) 等を用いて構成される。

【0036】

〔プロセッサの構成〕

次に、プロセッサ 6 の構成について説明する。

プロセッサ 6 は、電源部 61 と、クロック生成部 62 と、プロセッサ制御部 63 と、画像処理部 64 と、を備える。

【0037】

電源部 61 は、電源電圧を生成し、この生成した電源電圧 VDD をグランド GND とともに、コネクタ部 5 の電源電圧生成部 53 へ供給する。

【0038】

クロック生成部 62 は、内視鏡システム 1 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号をコネクタ部 5 のパルス生成部 51 へ出力する。クロック生成部 62 は、クロックジェネレータ等を用いて構成される。

【0039】

プロセッサ制御部 63 は、CPU (Central Processing Unit) 等を用いて構成され、内視鏡システム 1 の全体を統括的に制御する。

【0040】

画像処理部 64 は、内視鏡 2 から入力されたデジタルの撮像信号に対して、同時化処理、ホワイトバランス (WB) 調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ (D/A) 変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する。画像処理部 64 は、FPGA や GPU (Graphics Processing Unit) 等を用いて構成される。

【0041】

〔撮像素子の構成〕

次に、上述した撮像素子 21 の詳細な構成について説明する。図 3 は、図 2 に示す撮像素子 21 の詳細な構成を示すブロック図である。

【0042】

図 3 に示すように、撮像素子 21 は、受光部 23 と、読み出し部 24 と、バッファ部 25 と、基準信号生成部 26 と、逐次比較型 A/D 変換装置 27 と、タイミング生成部 28 と、ヒステリシス部 29 と、を備える。

【0043】

受光部 23 は、行列方向に 2 次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素を有する。

【0044】

読み出し部 24 は、後述する受光部 23 の複数の画素の各々から撮像信号を順次読み出してバッファ部 25 へ出力する。読み出し部 24 は、垂直走査部 241 (行選択回路) と、定電流源 242 と、ノイズ除去部 243 と、列ソースフォロワバッファ 244 と、水平走査部 245 と、基準電圧生成部 246 と、を有する。

【0045】

垂直走査部 241 は、タイミング生成部 28 から入力される駆動信号 (ϕT 、 ϕR 等) に基づいて、受光部 23 の選択された行 (水平ライン) $<M>$ ($M = 0, 1, 2 \dots, m-1, m$) に駆動信号 $\phi T <M>$ および $\phi R <M>$ を印加して、受光部 23 の各画素 (図示せず) を定電流源 242 で駆動することによって、撮像信号および画素リセット時のノイズ信号を後述する垂直転送線 (図示せず) へ転送し、ノイズ除去部 243 に出力する。

【0046】

ノイズ除去部 243 は、後述する各画素 230 の出力ばらつきと、画素リセット時のノイズ信号とを除去し、後述する各画素 230 で光電変換された撮像信号を列ソースフォロワバッファ 244 へ出力する。

10

20

30

40

50

【 0 0 4 7 】

列ソースフォロワバッファ 2 4 4 は、水平走査部 2 4 5 から入力される駆動信号に基づいて、ノイズ除去部 2 4 3 からノイズが除去された撮像信号を保持し、この保持した撮像信号を増幅してバッファ部 2 5 へ出力する。

【 0 0 4 8 】

水平走査部 2 4 5 は、タイミング生成部 2 8 から入力される駆動信号 ($\phi HCLK$) に基づいて、受光部 2 3 の選択された列 (縦ライン) $< N >$ ($N = 0, 1, 2 \dots, n - 1, n$) に駆動信号 $\phi HCLK < N >$ を印加し、各画素で光電変換された撮像信号を、ノイズ除去部 2 4 3 および列ソースフォロワバッファ 2 4 4 を経由して後述する水平転送線 (図示せず) に転送してバッファ部 2 5 へ出力する。

10

【 0 0 4 9 】

基準電圧生成部 2 4 6 は、受光部 2 3 と同じ電源電圧 VDD からノイズ除去部 2 4 3 のクランプ電圧 $VCLP$ を生成する。

【 0 0 5 0 】

バッファ部 2 5 は、列ソースフォロワバッファ 2 4 4 から順次出力された撮像信号の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより 1 倍に増幅して逐次比較型 A / D 変換装置 2 7 へ出力する。なお、バッファ部 2 5 の回路の詳細は、後述する図 4 において説明する。

【 0 0 5 1 】

基準信号生成部 2 6 は、受光部 2 3 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して逐次比較型 A / D 変換装置 2 7 へ出力する。

20

【 0 0 5 2 】

逐次比較型 A / D 変換装置 2 7 は、バッファ部 2 5 から出力された撮像信号および基準信号生成部 2 6 から生成された基準信号を同一タイミングでサンプリングし、デジタルの撮像信号 ($Vout$) に変換して外部へ出力する。

【 0 0 5 3 】

タイミング生成部 2 8 は、ヒステリシス部 2 9 から入力された基準クロック信号および同期信号に基づいて、各種の駆動信号を生成し、読み出し部 2 4、バッファ部 2 5、基準信号生成部 2 6 および逐次比較型 A / D 変換装置 2 7 へ出力する。

30

【 0 0 5 4 】

ヒステリシス部 2 9 は、伝送ケーブル 3 を経由して入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部 2 8 へ出力する。

【 0 0 5 5 】

〔逐次比較型 A / D 変換装置の構成〕

次に、上述した逐次比較型 A / D 変換装置 2 7 の詳細な構成について説明する。図 4 は、逐次比較型 A / D 変換装置 2 7 の構成を模式的に説明する回路図である。図 4 に示す逐次比較型 A / D 変換装置 2 7 は、逐次比較型の A / D 変換装置であり、9 ビット (bit) 出力の A / D 変換装置であるが、これに限定されず、出力ビット数を適宜変更することができる。なお、逐次比較型 A / D 変換装置 2 7 は、逐次比較型の A / D 変換装置である必要はなく、省電力可能な A / D 変換装置であればよく、例えばナイキスト型の A / D 変換装置であってもよい。

40

【 0 0 5 6 】

図 4 に示す逐次比較型 A / D 変換装置 2 7 は、サンプリング回路 4 0 1 と、容量性 DAC 回路 4 0 2 と、比較回路 4 0 3 と、制御回路 4 0 4 と、を備える。

【 0 0 5 7 】

サンプリング回路 4 0 1 は、差動入力信号を構成する 1 対の撮像信号 ($Vsignal$) および基準信号 ($VREF$) に対して、タイミング生成部 2 8 から入力されるクロック信号 CLK に基づいて、同一のタイミングでトラック・ホールド (Track and Hold) を行い、

50

アナログの撮像信号および基準信号をサンプリングする。サンプリング回路 401 は、スイッチ 401 a と、スイッチ 401 b と、を有する。

【0058】

スイッチ 401 a は、オン状態であるとき、上述したバッファ部 25 と容量性 DAC 回路 402 との間を導通させ、オフ状態であるとき、バッファ部 25 と容量性 DAC 回路 402 との間を高インピーダンス状態とする。スイッチ 401 a は、非反転入力端子 INP を経由してアナログの撮像信号が入力される。スイッチ 401 a は、オン状態からオフ状態に切り替わるタイミングに後述する容量部 402 a P にアナログの撮像信号をホールドしてサンプリングする。スイッチ 401 a は、タイミング生成部 28 から入力されるクロック信号 CLK に基づいて、オン状態とオフ状態とが切り替わる。

10

【0059】

スイッチ 401 b は、オン状態であるとき、上述した基準信号生成部 26 と容量性 DAC 回路 402 との間を導通させ、オフ状態であるとき、基準信号生成部 26 と容量性 DAC 回路 402 との間を高インピーダンス状態とする。スイッチ 401 b は、反転入力端子 INN を経由してアナログの基準信号が入力される。スイッチ 401 b は、オン状態からオフ状態に切り替わるタイミングに後述する容量部 402 a N にアナログの基準信号をホールドしてサンプリングする。スイッチ 401 b は、タイミング生成部 28 から入力されるクロック信号 CLK に基づいて、オン状態とオフ状態とが切り替わる。

【0060】

容量性 DAC 回路 402 は、制御回路 404 によって生成されたデジタル信号 (DN0 ~ DN8, DP0 ~ DP8) に基づくアナログ信号を生成し、サンプリング回路 401 によりホールドされ、サンプリングされた撮像信号および基準信号の各々から参照信号を減算することによって、差動入力信号と 9 ビットのデジタル信号 D0 ~ D8 との間の累積残差を取得する。容量性 DAC 回路 402 は、撮像信号および基準信号の各々から参照信号を減算した減算結果を、累積残差が反映されたアナログの撮像信号 (INP) および基準信号 (INN) として、比較回路 403 へ出力する。容量性 DAC 回路 402 は、容量部 402 a N と、駆動部 402 b N と、容量部 402 a P と、駆動部 402 b P と、を有する。

20

【0061】

容量部 402 a P は、減衰容量 ChP とバイナリ容量 C0P ~ C8P と、を有する。減衰容量 ChP は、スイッチ 401 a に接続された配線に相当する信号ノード NP とグランド GND との間に接続される。また、バイナリ容量 C0P ~ C8P の各々は、信号ノード NP と駆動部 402 b P の出力部との間に接続される。即ち、バイナリ容量 C0P ~ C8P の各々は、一方の電極が信号ノード NP に共通接続され、他方の電極が後述する駆動部 402 b P を構成するインバータ Q0P ~ Q8P の出力部に個別に接続される。バイナリ容量 C0P ~ C8P は、制御回路 404 によって生成されるデジタル信号 DP0 ~ DP8 に対応して配置されている。バイナリ容量 C0P ~ C8P の各々の容量値は異なる。例えば、デジタル信号 DP(n+1) に対応する容量 C(n+1)P の容量値は、デジタル信号 DPn に対応する容量 CnP の容量値の 2 倍である (n は、0 から 7 までの整数)。即ち、バイナリ容量 C0P ~ C8P の各々の容量値は、デジタル信号 DP0 ~ DP8 の各ビットの位に応じた 2 進数で重み付けされている。

30

40

【0062】

容量部 402 a N は、容量部 402 a P と同様に、減衰容量 ChN とバイナリ容量 C0N ~ C8N と、を有する。減衰容量 ChN は、スイッチ 401 b に接続された配線に相当する信号ノード NN とグランド GND との間に接続される。また、バイナリ容量 C0N ~ C8N の各々は、信号ノード NN と駆動部 402 b N の出力部との間に接続される。即ち、バイナリ容量 C0N ~ C8N の各々は、一方の電極が信号ノード NN に共通接続され、他方の電極が後述する駆動部 402 b N を構成するインバータ Q0N ~ Q8N の出力部に個別に接続される。バイナリ容量 C0N ~ C8N は、制御回路 404 によって生成されるデジタル信号 DN0 ~ DN8 に対応して配置されている。なお、バイナリ容量 C0N ~ C

50

8 Nの容量値についても、バイナリ容量C 0 P ~ C 8 Pと同様に2進数で重み付けされている。また、容量部4 0 2 a Nを構成するバイナリ容量C 0 N ~ C 8 Nの各容量値の各々は、容量部4 0 2 a Pを構成するバイナリ容量C 0 P ~ C 8 Pの各々の容量値と同じに設定されている。

【0063】

駆動部4 0 2 b Pは、インバータQ 0 P ~ Q 8 Pを有する。インバータQ 0 P ~ Q 8 Pには、電源電圧V D D __ A / Dが供給される。このことは、インバータQ 0 P ~ Q 8 Pの各々から出力されるアナログ信号の振幅が電源電圧V D D __ A / Dに等しいことを意味する。インバータQ 0 P ~ Q 8 Pは、制御回路4 0 4によって生成されるデジタル信号D P 0 ~ D P 8に対応して配置されている。インバータQ 0 P ~ Q 8 Pの各々には、制御回路4 0 4から、デジタル信号D P 0 ~ D P 8の各ビットが入力される。また、インバータQ 0 P ~ Q 8 Pの出力部の各々は、バイナリ容量C 0 P ~ C 8 Pの他方の電極に接続される。

10

【0064】

インバータQ 0 P ~ Q 8 Pは、制御回路4 0 4から入力されるデジタル信号D P 0 ~ D P 8を反転することによって参照信号を生成する。容量部4 0 2 a Pが有する複数のバイナリ容量C 0 P ~ C 8 Pは、電荷再配分により、減衰容量C h Pに保持されているアナログの撮像信号V signalに基づく電荷から、参照信号に基づく電荷を引き抜くことによって、撮像信号V signalから参照信号を減算する。容量部4 0 2 a Pは、減算結果であるアナログ信号V C Pを比較回路4 0 3へ出力する。

20

【0065】

駆動部4 0 2 b Nは、インバータQ 0 N ~ Q 8 Nを備えている。インバータQ 0 N ~ Q 8 Nには、電源電圧V D D __ A / Dが供給される。このことは、インバータQ 0 N ~ Q 8 Nの各々から出力される基準信号の振幅が電源電圧V D D __ A / Dに等しいことを意味する。インバータQ 0 N ~ Q 8 Nは、制御回路4 0 4によって生成されるデジタル信号D N 0 ~ D N 8に対応して配置されている。インバータQ 0 N ~ Q 8 Nの各々には、制御回路4 0 4から、デジタル信号D N 0 ~ D N 8の各ビットが入力される。また、インバータQ 0 N ~ Q 8 Nの出力部の各々は、バイナリ容量C 0 N ~ C 8 Nの他方の電極に接続される。

【0066】

30

インバータQ 0 N ~ Q 8 Nは、制御回路4 0 4から入力されるデジタル信号D N 0 ~ D N 8を反転することによって参照信号を生成する。容量部4 0 2 a Nが有する複数のバイナリ容量C 0 N ~ C 8 Nは、電荷再配分により、減衰容量C h Nに保持されているアナログの基準信号V R E Fに基づく電荷から、参照信号に基づく電荷を引き抜くことによって、アナログの基準信号V R E Fから参照信号を減算する。容量部4 0 2 a Nは、減算結果であるアナログ信号V C Nを出力する。

【0067】

比較回路4 0 3 (コンパレータ)は、容量性D A C回路4 0 2から入力されるアナログの撮像信号とアナログの基準信号とを比較し、その大小関係に応じた比較結果を示すデジタル信号V O Pおよびデジタル信号V O Nを出力する。具体的には、比較回路4 0 3は、アナログの撮像信号の信号レベルがアナログの基準信号の信号レベルよりも高い場合、デジタル信号V O Pとしてハイレベルの信号を出力し、デジタル信号V O Nとしてローレベルの信号を出力する。逆に、比較回路4 0 3は、アナログの撮像信号の信号レベルがアナログの基準信号の信号レベルよりも低い場合、デジタル信号V O Pとしてローレベルの信号を出力し、デジタル信号V O Nとしてハイレベルの信号を出力する。比較回路4 0 3は、後述する制御回路4 0 4によって生成される内部クロック信号B I T __ C L Kおよび反転内部クロック信号B I T __ C L K bに基づいて制御される。なお、比較回路4 0 3の詳細な回路図は、後述する。

40

【0068】

制御回路4 0 4は、S A R (Successive Approximation Register) ロジック回路と

50

して機能し、2分探索アルゴリズムに従って、比較回路403による比較結果を示すデジタル信号VOPおよびデジタル信号VONに対応するデジタル信号DP0～DP8、およびデジタル信号DN0～DN8の各ビットの値を2分探索法により逐次判定する。制御回路404は、デジタル信号VOPおよびデジタル信号VONに対応するデジタル信号DP0～DP8およびデジタル信号DN0～DN8を容量性DAC回路402に供給する。このうち、制御回路404は、デジタル信号DP0～DP8を、A/D変換結果を表すデジタル信号D0～D8として出力する(Vout)。また、制御回路404は、比較回路403を制御する内部クロック信号BIT__CLKおよび反転内部クロック信号BIT__CLKbを生成し、比較回路403へ供給する。制御回路404は、タイミング生成部28によって生成されたクロック信号CLKに基づいて制御される。制御回路404は、クロック信号CLKがハイレベルの期間において、内部クロック信号BIT__CLKおよび反転内部クロック信号BIT__CLKbを発生させる。

10

【0069】

このように構成された逐次比較型A/D変換装置27は、デジタル信号D0～D8の最上位ビット(D8)から最下位ビット(D0)に向かって、1ビットずつ順にA/D変換結果を取得する。このA/D変換の過程で、比較回路403は、容量性DAC回路402によって上述した減算が行われる都度、それまでの累積残差が反映されたアナログの撮像信号(INP)の信号レベル(電圧)とアナログの基準信号(INN)の信号レベル(電圧)とを比較する。

20

【0070】

〔比較回路の構成〕

次に、上述した比較回路403の構成について説明する。図5は、比較回路403の構成を模式的に示す回路図である。

【0071】

比較回路403は、入力回路403aと、補償回路403bと、出力回路403cと、を有する。

【0072】

〔入力回路の構成〕

まず、入力回路403aの構成について説明する。

入力回路403aは、差動増幅回路として機能する。入力回路403aは、一対の電圧信号が入力される複数のトランジスタを有する。具体的には、入力回路403aは、一対の電圧信号が入力される。入力回路403aは、トランジスタM1と、トランジスタM2と、トランジスタM3と、トランジスタM4と、トランジスタM5と、を有する。トランジスタM1、トランジスタM2およびトランジスタM5の各々は、Nチャンネル型のMOSトランジスタ(以下、単に「NMOSトランジスタ」という)を用いて構成される。また、トランジスタM3およびトランジスタM4の各々は、Pチャンネル型のMOSトランジスタ(以下、単に「PMOSトランジスタ」という)を用いて構成される。なお、本実施の形態では、入力回路403aの増幅機能を得ることを限度として、各トランジスタの種類を適宜変更してもよい。

30

【0073】

トランジスタM1は、ゲート端子に第1の入力端子T1が接続される。第1の入力端子T1は、差動入力信号であるアナログ信号VCPが入力される。また、トランジスタM1は、ゲート端子に第1の入力端子T1を経由して容量性DAC回路402からアナログ信号VCPが入力される。

40

【0074】

トランジスタM2は、ゲート端子に第2の入力端子T2が接続される。第2の入力端子T2は、差動入力信号であるアナログ信号VCNが入力される差動入力端子である。また、トランジスタM2のゲート端子には、容量性DAC回路402からアナログ信号VCNが入力される。

【0075】

50

トランジスタM3は、ソース端子に電源電圧VDDが接続される。また、トランジスタM3は、ドレイン端子にトランジスタM1のドレイン端子が接続される。さらに、トランジスタM3は、ゲート端子に内部クロック信号BIT__CLKが入力される。

【0076】

トランジスタM4は、ソース端子に電源電圧VDDが接続される。また、トランジスタM4は、ドレイン端子がトランジスタM2のドレイン端子と接続される。さらに、トランジスタM4は、ゲート端子がトランジスタM3のゲート端子と接続される。さらにまた、トランジスタM4は、ゲート端子に内部クロック信号BIT__CLKが入力される。

【0077】

トランジスタM5は、ソース端子にグランドGNDが接続される。また、トランジスタM5は、ドレイン端子にトランジスタM1のソース端子とトランジスタM2のソース端子とが接続される。さらに、トランジスタM5は、ゲート端子に内部クロック信号BIT__CLKが入力される。

【0078】

〔補償回路の構成〕

次に、補償回路403bの構成について説明する。

補償回路403bは、入力回路403aと並列に接続され、入力回路403aにおける入力容量の非線形性を補償する。具体的には、補償回路403bは、入力回路403aの入力容量の電圧依存性と逆特性を有し、入力回路403aの入力容量に寄生する寄生容量を相殺する。補償回路403bは、トランジスタM11と、トランジスタM12と、トランジスタM13と、トランジスタM14と、トランジスタM15と、を有する。トランジスタM11、トランジスタM12およびトランジスタM15の各々は、PMOSトランジスタを用いて構成される。また、トランジスタM13およびトランジスタM14の各々は、NMOSトランジスタを用いて構成される。なお、本実施の形態では、補償回路403bの補償機能を得ることを限度として、各トランジスタの種類を適宜変更してもよい。

【0079】

トランジスタM11は、ゲート端子に第1の入力端子T1が接続される。第1の入力端子T1は、差動入力信号のアナログ信号VCPが入力される。

【0080】

トランジスタM12は、ゲート端子に第2の入力端子T2が接続される。第2の入力端子T2は、差動入力信号のアナログ信号VCNが入力される。なお、本実施の形態では、トランジスタM11およびトランジスタM12が補償トランジスタB1として機能する。即ち、トランジスタM11およびトランジスタM12で構成された補償トランジスタB1は、トランジスタM1およびトランジスタM2のゲート容量特性と逆特性のバイアス電圧依存性を有し、トランジスタM1およびトランジスタM2の入力容量の非線形を補償する。

【0081】

トランジスタM13は、ソース端子にグランドGNDが接続される。また、トランジスタM13は、ドレイン端子にトランジスタM11のドレイン端子が接続される。さらに、トランジスタM13は、ゲート端子に内部クロック信号BIT__CLKを反転させた反転内部クロック信号BIT__CLKbが入力される。

【0082】

トランジスタM14は、ソース端子にグランドGNDが接続される。また、トランジスタM14は、ドレイン端子にトランジスタM12のドレイン端子が接続される。さらに、トランジスタM14は、ゲート端子に内部クロック信号BIT__CLKを反転させた反転内部クロック信号BIT__CLKbが入力される。なお、本実施の形態では、トランジスタM13およびトランジスタM14は、バイアス回路R1として機能する。バイアス回路R1は、補償トランジスタB1とトランジスタM1、M2と略同量のバイアス電圧を印加することによって補償トランジスタB1の入力容量と入力回路403aの入力容量との合成容量特性を略平坦とする。

10

20

30

40

50

【 0 0 8 3 】

トランジスタ M 1 5 は、ソース端子に電源電圧 V D D が接続される。また、トランジスタ M 1 5 は、ドレイン端子にトランジスタ M 1 1 のソース端子とトランジスタ M 1 2 のソース端子とが接続される。さらに、トランジスタ M 1 5 は、ゲート端子に内部クロック信号 B I T _ C L K を反転させた反転内部クロック信号 B I T _ C L K b が入力される。また、本実施の形態では、トランジスタ M 1 5 は、バイアス回路 R 2 として機能する。バイアス回路 R 2 は、補償トランジスタ B 1 とトランジスタ M 1 , M 2 と略同量のバイアス電圧を印加することによって補償トランジスタ B 1 の入力容量と入力回路 4 0 3 a の入力容量との合成容量特性を略平坦とする。

【 0 0 8 4 】

〔出力回路の構成〕

次に、出力回路 4 0 3 c の構成について説明する。

出力回路 4 0 3 c は、ラッチ回路として機能する。出力回路 4 0 3 c は、一対の電圧信号の一方の信号と他方の信号とを比較し、この比較結果を出力する。出力回路 4 0 3 c は、トランジスタ M 2 1 と、トランジスタ M 2 2 と、トランジスタ M 2 3 と、トランジスタ M 2 4 と、トランジスタ M 2 5 と、トランジスタ M 2 6 と、トランジスタ M 2 7 と、トランジスタ M 2 8 と、を有する。トランジスタ M 2 1 、トランジスタ M 2 2 、トランジスタ M 2 3 およびトランジスタ M 2 4 の各々は、P M O S トランジスタを用いて構成される。また、トランジスタ M 2 5 、トランジスタ M 2 6 、トランジスタ M 2 7 およびトランジスタ M 2 8 の各々は、N M O S トランジスタを用いて構成される。なお、本実施の形態では、出力回路 4 0 3 c のラッチ機能を得ることを限度として、各トランジスタの種類を適宜変更してもよい。

【 0 0 8 5 】

トランジスタ M 2 1 は、ゲート端子にトランジスタ M 2 のドレイン端子が接続される。即ち、トランジスタ M 2 1 のゲート端子には、入力回路 4 0 3 a から出力されたアナログ信号 A P が入力される。

【 0 0 8 6 】

トランジスタ M 2 2 は、ゲート端子にトランジスタ M 1 のドレイン端子が接続される。即ち、トランジスタ M 2 2 のゲート端子には、入力回路 4 0 3 a から出力されたアナログ信号 A N が入力される。

【 0 0 8 7 】

トランジスタ M 2 3 は、ソース端子に電源電圧 V D D が接続される。また、トランジスタ M 2 3 は、ドレイン端子にトランジスタ M 2 1 のソース端子が接続される。

【 0 0 8 8 】

トランジスタ M 2 4 は、ソース端子に電源電圧 V D D が接続される。また、トランジスタ M 2 4 は、ドレイン端子にトランジスタ M 2 2 のソース端子が接続される。

【 0 0 8 9 】

トランジスタ M 2 5 は、ソース端子にグランド G N D が接続される。また、トランジスタ M 2 5 は、ドレイン端子にトランジスタ M 2 1 のドレイン端子が接続される。さらに、トランジスタ M 2 5 は、ゲート端子にトランジスタ M 2 3 のゲート端子とトランジスタ M 2 2 のドレイン端子とが接続される。

【 0 0 9 0 】

トランジスタ M 2 6 は、ソース端子にグランド G N D が接続される。また、トランジスタ M 2 6 は、ドレイン端子にトランジスタ M 2 2 のドレイン端子が接続される。さらに、トランジスタ M 2 6 は、ゲート端子にトランジスタ M 2 4 のゲート端子とトランジスタ M 2 1 のドレイン端子とが接続される。

【 0 0 9 1 】

トランジスタ M 2 7 は、ソース端子にグランド G N D が接続される。また、トランジスタ M 2 7 は、ドレイン端子に、トランジスタ M 2 5 のドレイン端子とトランジスタ M 2 4 のゲート端子とが接続される。さらに、トランジスタ M 2 7 は、ゲート端子に内部クロッ

10

20

30

40

50

ク信号 BIT_CLK を反転させた反転内部クロック信号 BIT_CLKb が入力される。さらにまた、トランジスタ $M27$ は、ドレイン端子に第 1 の出力端子が接続されている。

【0092】

トランジスタ $M28$ は、ソース端子にグランド GND が接続される。また、トランジスタ $M28$ は、ドレイン端子にトランジスタ $M26$ のドレイン端子とトランジスタ $M23$ のゲート端子とが接続される。さらに、トランジスタ $M28$ のゲート端子に内部クロック信号 BIT_CLK を反転させた反転内部クロック信号 BIT_CLKb が入力される。さらにまた、トランジスタ $M28$ は、ドレイン端子に第 2 の出力端子が接続されている。

【0093】

第 1 の出力端子は、アナログ信号 AP の電圧とアナログ信号 AN の電圧とを比較した結果を示すデジタル信号 VON を出力する。

【0094】

第 2 の出力端子は、アナログ信号 AP の電圧とアナログ信号 AN の電圧とを比較した結果を示すデジタル信号 VOP を出力する。

【0095】

〔比較回路の動作〕

次に、比較回路 403 の動作について説明する。

まず、比較回路 403 に入力される内部クロック信号 BIT_CLK がローレベルの場合について説明する。この場合、反転内部クロック信号 BIT_CLKb は、ハイレベルである。このため、入力回路 403a のトランジスタ $M5$ および補償回路 403b のトランジスタ $M15$ は、オフ状態となり、入力回路 403a のトランジスタ $M3$ 、トランジスタ $M4$ 、補償回路 403b のトランジスタ $M13$ およびトランジスタ $M14$ は、オン状態となり、出力回路 403c のトランジスタ $M27$ およびトランジスタ $M28$ は、オン状態となる。このとき、トランジスタ $M3$ およびトランジスタ $M4$ は、オン状態なので、アナログ信号 AN およびアナログ信号 AP の各々は、電源電圧 VDD の電圧に引き上げられる。よって、出力回路 403c のトランジスタ $M21$ およびトランジスタ $M22$ の各々のゲート端子には、アナログ信号 AP およびアナログ信号 AN が入力されるのでトランジスタ $M21$ およびトランジスタ $M22$ がオフ状態となる。これに対して、出力回路 403c のトランジスタ $M27$ およびトランジスタ $M28$ は、オン状態なので、デジタル信号 VOP およびデジタル信号 VON の各々は、トランジスタ $M27$ およびトランジスタ $M28$ を通じてグランド GND の電圧に引き下げられる。

【0096】

次に、アナログ信号 VCN がアナログ信号 VCP より大きい ($VCP > VCN$) 場合について説明する。この場合において、内部クロック信号 BIT_CLK がローレベルからハイレベルに、且つ、反転内部クロック信号 BIT_CLKb がハイレベルからローレベルに切り替わったとき、入力回路 403a のトランジスタ $M5$ は、オン状態となり、ドレイン電流が流れるとともに、補償回路 403b のトランジスタ $M15$ は、オン状態となり、ドレイン電流 (ソース電流) が流れる。さらに、入力回路 403a のトランジスタ $M3$ およびトランジスタ $M4$ は、オフ状態となり、補償回路 403b のトランジスタ $M13$ およびトランジスタ $M14$ は、オフ状態となる。さらにまた、入力回路 403a のトランジスタ $M1$ は、ドレイン端子のノード NAN に結合している寄生容量 (図示せず) から電荷を引き抜き、入力回路 403a のトランジスタ $M2$ は、ドレイン端子の信号ノード NAP に結合している寄生容量 (図示せず) から電荷を引き抜く。

【0097】

入力回路 403a のトランジスタ $M1$ およびトランジスタ $M2$ が上記寄生容量から電荷を引き抜く過程においては、アナログ信号 VCP とアナログ信号 VCN との電位の違いによって、トランジスタ $M1$ のドレイン端子のノード NAN に結合している寄生容量およびトランジスタ $M2$ のドレイン端子の信号ノード NAP に結合している寄生容量の各々から電荷を引き抜く速度に違いが生じる。ここで、アナログ信号 VCP は、アナログ信号 VC

10

20

30

40

50

Nよりも大きい場合 ($V_{CP} > V_{CN}$)、トランジスタM1に流れる電流がトランジスタM2に流れる電流よりも大きくなる。このため、アナログ信号ANの電位は、アナログ信号APの電位よりも速く低下する。この結果、アナログ信号ANの電位は、相対的にアナログ信号APの電位より先に低くなる。

【0098】

また、出力回路403cは、内部クロック信号BIT__CLKがローレベルからハイレベルに切り替わった場合において、反転内部クロック信号BIT__CLKbがハイレベルからローレベルに切り替わったとき、デジタル信号VOPおよびデジタル信号VONの電位の各々が電源電圧VDDに向かって上昇する。この状況下において、出力回路403cのトランジスタM22は、アナログ信号VPの電位よりもアナログ信号VNの電位の方が先に低下するため、トランジスタM21よりも先にオン状態になる。このため、デジタル信号VOPは、デジタル信号VONよりも上昇速度が大きくなり、電源電圧VDDに向かって引き上げられる。

10

【0099】

上記の場合、出力回路403cのトランジスタM21、トランジスタM23およびトランジスタM25によって形成されるインバータと、トランジスタM22、トランジスタM24およびトランジスタM26によって形成されるインバータとがクロスカップル接続されている。このため、ゲート端子にデジタル信号VOPが入力されているトランジスタM23はオフ状態となり、トランジスタM25はオン状態となる。この結果、デジタル信号VONは、グランドGNDに向かって引き下げられる。従って、比較回路403は、アナログ信号VCPとアナログ信号VCNとの比較に基づいた大小関係に応じた電位関係を示すデジタル信号VOPおよびデジタル信号VONを出力することができる。

20

【0100】

具体的には、アナログ信号VCPがアナログ信号VCNよりも大きい場合 ($V_{CP} > V_{CN}$)、デジタル信号VOPの電位は、電源電圧VDDの電位となるとともに、デジタル信号VONの電位は、グランドGNDの電位となる。これに対して、アナログ信号VCNがアナログ信号VCPよりも大きい場合 ($V_{CN} > V_{CP}$)、デジタル信号VONの電位は、電源電圧VDDの電位となるとともに、デジタル信号VOPの電位は、グランドGNDの電位となる。このように、比較回路403は、アナログ信号VCPとアナログ信号VCNとの比較に基づいた大小関係に応じた電位関係を示す2値のデジタル信号VOPおよびデジタル信号VONを出力することができる。

30

【0101】

なお、上述した比較回路403は、ダイナミック型の比較器である。ダイナミック型の比較回路403では、動作電流として、CMOSロジックと同様に動作時の貫通電流のみが流れる。即ち、ダイナミック型の比較回路403では、内部クロック信号BIT__CLKおよび反転内部クロック信号BIT__CLKbの信号レベルがハイレベルからローレベル、またはローレベルからハイレベルに切り替わるときのみに過渡的に電流が流れ、定常電流(アイドリング電流)が発生しない。このため、比較回路403は、低消費電力化に適している。

40

【0102】

さらに、上述した補償回路403bは、入力回路403aを構成する各トランジスタの極性を入れ替えたトランジスタによって構成し、入力回路403aと同量のバイアス電圧が印加される。これにより、補償回路403bは、補償回路403bのゲート容量と入力回路403aのゲート容量との合成容量を略平坦とすることができる。

【0103】

〔補償回路の特性〕

次に、入力回路403aのゲート容量と補償回路403bのゲート容量との電圧依存特性について説明する。図6は、入力回路403aのゲート容量と補償回路403bのゲート容量との電圧依存特性の関係を示す図である。図6において、横軸が比較回路403の入力電圧(V)を示し、縦軸がゲート容量を示す。また、図6において、曲線L1が入力

50

回路 403a の電圧依存特性を示し、曲線 L2 が補償回路 403b の電圧依存特性を示し、曲線 L3 が入力回路 403a のゲート容量と補償回路 403b のゲート容量との合成容量における電圧依存特性を示す。

【0104】

図 6 の曲線 L1 および曲線 L2 に示すように、補償回路 403b は、ゲート容量が入力回路 403a (入力トランジスタ) のゲート容量と逆特性のバイアス電圧依存性を有する。これにより、図 6 の曲線 L3 に示すように、補償回路 403b のゲート容量と入力回路 403a のゲート容量との合成容量を略平坦とすることができる。

【0105】

図 7 は、従来の逐次比較型の A/D 変換装置が出力する出力信号の INL (Integral Non-Linearity: 積分非直線性誤差) 特性を示す。図 8 は、逐次比較型 A/D 変換装置 27 が出力する出力信号の INL 特性を示す。図 7 および図 8 において、横軸が code を示し、縦軸が INL [a.u.] を示す。また、図 7 の曲線 L31 が従来の逐次比較型の A/D 変換装置が出力する出力信号の INL 特性を示し、図 8 の曲線 L32 が逐次比較型 A/D 変換装置 27 が出力する出力信号の INL 特性を示す。

10

【0106】

図 7 の曲線 L31 および図 8 の曲線 L32 に示すように、逐次比較型 A/D 変換装置 27 は、出力信号が略平坦なものとなり、ゲインが A/D 変換の最中に変動することを防止することができるので、従来の逐次比較型の A/D 変換装置と比較して出力信号の線形性を維持することができる。

20

【0107】

以上説明した本発明の一実施の形態によれば、画素 230 よりも低い電源電圧で動作する逐次比較型 A/D 変換装置 27 へ出力する場合において、逐次比較型 A/D 変換装置 27 の入力ダイナミックレンジと線形性を確保することができる。

【0108】

また、本発明の一実施の形態によれば、逐次比較型 A/D 変換装置 27 の入力容量を大きくした場合であっても、線形性を確保することができる。

【0109】

また、本発明の一実施の形態によれば、比較回路 403 の入力端子に接続される容量を略フラットにすることができるので、逐次比較型 A/D 変換装置 27 が出力する出力信号の線形性が劣化することを防止することができる。

30

【0110】

また、本発明の一実施の形態に開示されている複数の構成要素を適宜組み合わせることによって、種々の発明を形成することができる。例えば、上述した本発明の一実施の形態に記載した全構成要素からいくつかの構成要素を削除してもよい。さらに、上述した本発明の一実施の形態で説明した構成要素を適宜組み合わせてもよい。

【0111】

また、本発明の一実施の形態では、容量性 DAC 回路 (容量回路) をバイナリ容量で構成しているが、容量性 DAC 回路 (容量回路) を非バイナリ容量 (非 2 進容量) で構成し、逐次比較型 A/D 変換装置に適用してもよい。

40

【0112】

また、本発明の一実施の形態では、制御装置と光源装置とが別体であったが、一体的に形成してもよい。

【0113】

また、本発明の一実施の形態では、内視鏡システムであったが、例えばカプセル型の内視鏡、被検体を撮像するビデオマイクロスコープ、撮像機能を有する携帯電話および撮像機能を有するタブレット型端末であっても適用することができる。

【0114】

また、本発明の一実施の形態では、軟性の内視鏡を備えた内視鏡システムであったが、硬性の内視鏡を備えた内視鏡システム、工業用の内視鏡を備えた内視鏡システムであって

50

も適用することができる。

【 0 1 1 5 】

また、本発明の一実施の形態では、被検体に挿入される内視鏡を備えた内視鏡システムであったが、例えば硬性の内視鏡を備えた内視鏡システム、副鼻腔内視鏡および電気メスや検査プローブ等の内視鏡システムであっても適用することができる。

【 0 1 1 6 】

また、本発明の一実施の形態では、上述してきた「部」は、「手段」や「回路」などに読み替えることができる。例えば、プロセッサ制御部は、プロセッサ制御手段やプロセッサ制御回路に読み替えることができる。

【 0 1 1 7 】

また、本発明の一実施の形態では、伝送ケーブルを経由して内視鏡カメラヘッドから制御装置へ信号を送信していたが、例えば有線である必要はなく、無線であってもよい。この場合、所定の無線通信規格（例えば W i - F i （登録商標）や B l u e t o o t h （登録商標））に従って、内視鏡カメラヘッドから画像信号等を制御装置へ送信するようにすればよい。もちろん、他の無線通信規格に従って無線通信を行ってもよい。

【 0 1 1 8 】

以上、本願の実施の形態のいくつかを図面に基づいて詳細に説明したが、これらは例示であり、本発明の開示の欄に記載の態様を始めとして、当業者の知識に基づいて種々の変形、改良を施した他の形態で本発明を実施することが可能である。

【 符号の説明 】

【 0 1 1 9 】

- 1 内視鏡システム
- 2 内視鏡
- 3 伝送ケーブル
- 4 操作部
- 5 コネクタ部
- 6 プロセッサ
- 7 表示装置
- 8 光源装置
- 20 撮像装置
- 21 撮像素子
- 22 光学系
- 23 受光部
- 24 読み出し部
- 25 バッファ部
- 26 基準信号生成部
- 27 逐次比較型 A / D 変換装置
- 28 タイミング生成部
- 29 ヒステリシス部
- 51 パルス生成部
- 52 信号処理部
- 53 電源電圧生成部
- 61 電源部
- 62 クロック生成部
- 63 プロセッサ制御部
- 64 画像処理部
- 100 挿入部
- 101 先端部
- 102 基端部
- 241 垂直走査部

10

20

30

40

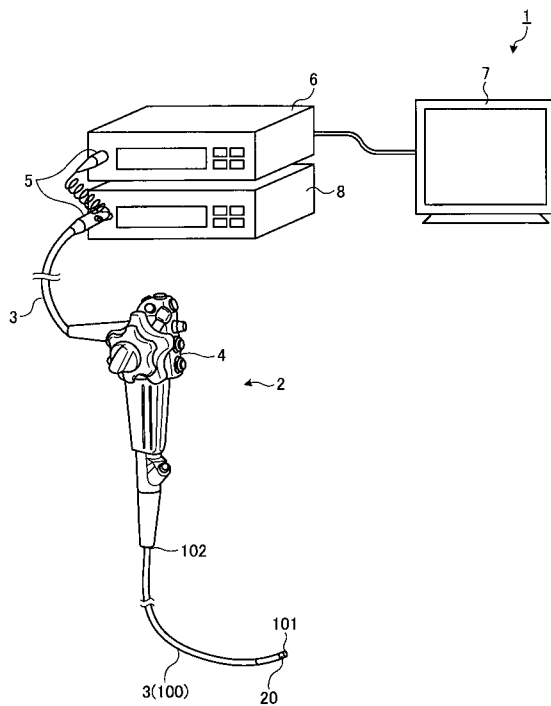
50

2 4 2 定電流源
 2 4 3 ノイズ除去部
 2 4 4 列ソースフォロワバッファ
 2 4 5 水平走査部
 2 4 6 基準電圧生成部
 4 0 1 サンプリング回路
 4 0 1 a , 4 0 1 b スイッチ
 4 0 2 容量性 D A C 回路
 4 0 2 a N , 4 0 2 a P 容量部
 4 0 2 b N , 4 0 2 b P 駆動部
 4 0 3 比較回路
 4 0 3 a 入力回路
 4 0 3 b 補償回路
 4 0 3 c 出力回路
 4 0 4 制御回路
 B 1 補償トランジスタ
 C 0 N ~ C 8 N , C 0 P ~ C 8 P バイナリ容量
 C 1 コンデンサ
 C h N , C h P 減衰容量
 M 1 ~ M 5 , M 1 1 ~ M 1 5 , M 2 1 ~ M 2 8 トランジスタ
 R 1 バイアス回路
 R 2 バイアス回路

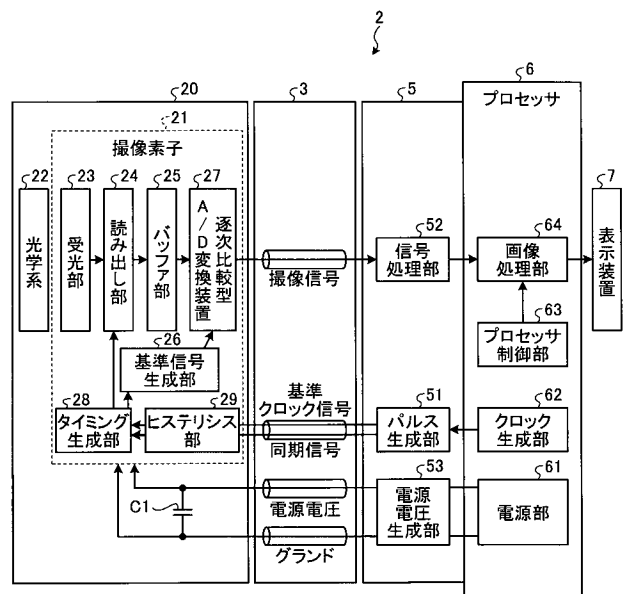
10

20

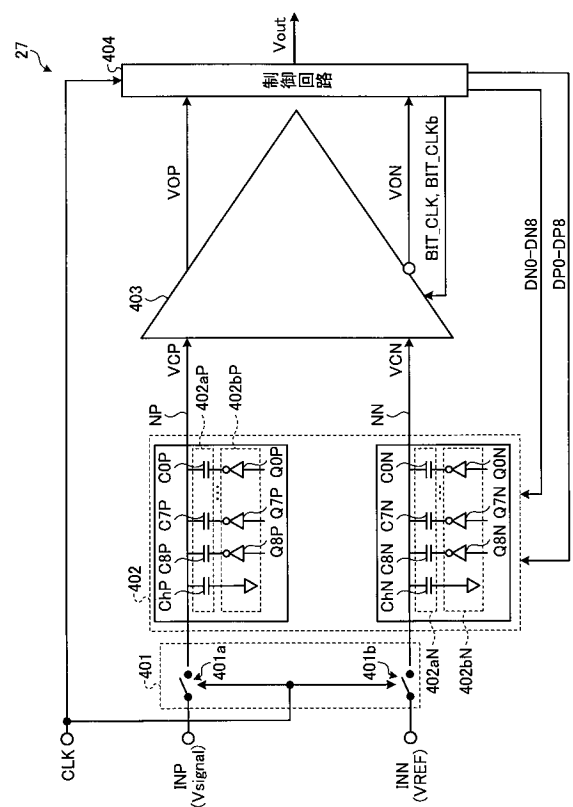
【図 1】



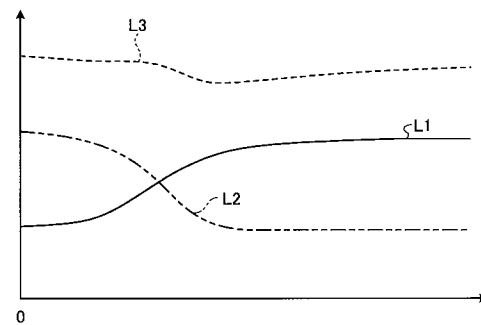
【図 2】



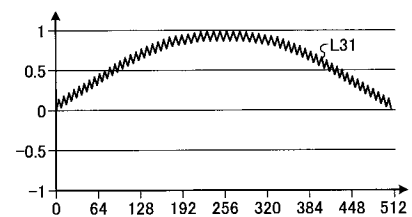
【圖 4】



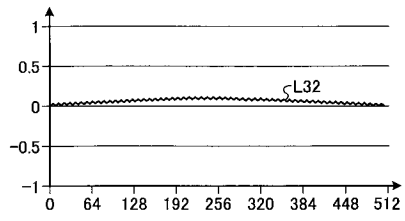
【 図 6 】



【 図 7 】



【図 8】



专利名称(译)	连续比较型A / D转换器，成像装置和内窥镜		
公开(公告)号	JP2019125931A	公开(公告)日	2019-07-25
申请号	JP2018005777	申请日	2018-01-17
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	平出修三		
发明人	平出 修三		
IPC分类号	H03M1/10 H03M1/38 A61B1/045		
FI分类号	H03M1/10.A H03M1/38 A61B1/045.610		
F-TERM分类号	4C161/SS07 4C161/SS11 5J022/AA02 5J022/AB04 5J022/BA03 5J022/BA04 5J022/CB03 5J022/CF01 5J022/CF02		
外部链接	Espacenet		

摘要(译)

逐次逼近A / D转换器，成像装置和内窥镜，其可以防止输出信号的线性度恶化。逐次逼近型A / D转换器包括输入电路403a和补偿电路403b，输入电路403a输入一对电压信号，补偿电路403b与输入电路403a并联连接，并补偿输入电路403a中输入电容的非线性。并且比较电路403具有输出电路403c，该输出电路403c比较并输出由输入电路403a中的输入电容保持的一对电压信号中的一个信号和另一个信号，并且补偿电路403b包括：输入电路403a具有输入电容的电压依赖性和反向特性。[选择]图5

